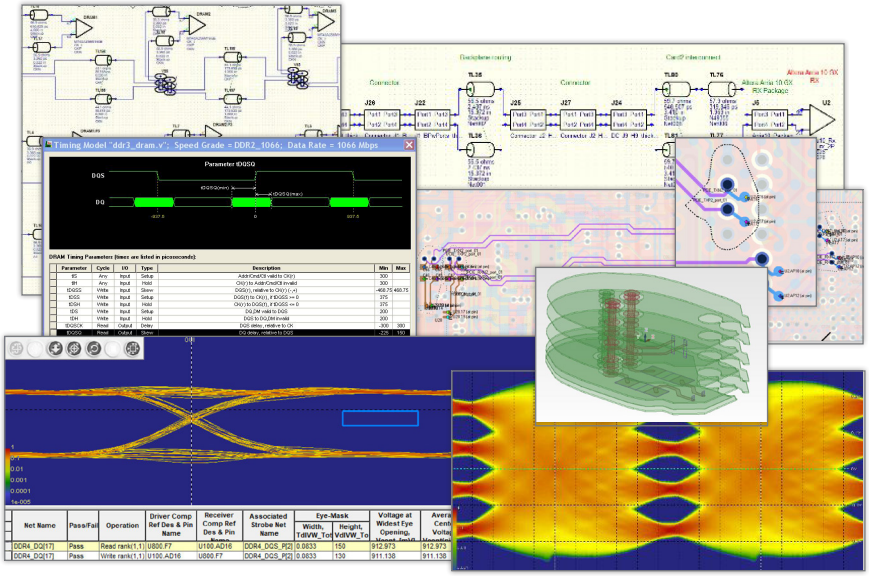


HyperLynx SI

DDR, SerDes, 通用信号完整性

D A T A S H E E T



HyperLynx SI 支持布局前和布局后的信号完整性、时序、串扰和带电源信息的仿真。自动化的工作流程支持完整的接口级 DDRx 验证，以及对基于标准的 SerDes 通道设计的合规性分析。

概述

通常，信号完整性仿真被视为最好由专门的专家来完成的任务，但是没有足够的专家来满足当今的需求。HyperLynx SI 将业界知名的易用性与自动化的工作流程结合起来，使系统设计工程师可以进行复杂的 SI 分析任务，同时仍可提供信号完整性专家所需的详细建模和仿真精度。

HyperLynx 的布线后 (BoardSim) 仿真可自动提取布线后的 PCB 设计模型，以确定高速信号电压和时序余量。潜在问题可以在制造 PCB 之前识别并解决，从而降低成本以及与重新设计原型相关的延迟。布线前仿真是 PCB 物理规划和布线流程中的关键，执行 “假设” 分析以确定不同设计策略的影响。HyperLynx 拓扑编辑器 (LineSim) 可以快速获取复杂的拓扑，并且可以扫描设计变量以确定最佳的物理设计方法。HyperLynx 自动化工作流程将引导用户一步步设置和运行复杂分析，生成带有详细余量测量值和相关绘图的 HTML 报告。

主要优势

- 业界知名的易用性使设计工程师可以使用先进的 SI 仿真
- 精巧的建模和仿真技术可满足 SI 专家的需求
- 用于 DDRx 和 SerDes 通道分析的完整工作流程
- 具有串扰和扫描参数的布线前拓扑编辑器在设计中支持快速的 “假设” 决策
- 自动化的布线后 PCB 提取和仿真可在设计发布到制造前快速进行 PCB 验证
- 交互式和批处理模式仿真支持
- 自动识别关键的高速区域并使用集成的 3D EM 求解器进行求解
- 支持用于不同元器件建模策略的多个仿真引擎
- 与 HyperLynx PI 无缝集成，以提供完整的系统级分析
- 适用于所有主流 PCB 布局系统

Mentor®
A Siemens Business

先进的 DDRX 和 SerDes 通道支持

HyperLynx SI 为 DDRx 接口和基于合规性的 SerDes 通道设计提供了完整的自动化工作流程。相同的工作流程同时支持布线前和布线后分析，使设计师可以使用相同的仿真流程来执行布线前的权衡分析和布线后的验证。DDRx Wizard 在整个 DDRx 接口上执行信号完整性和时序分析，分析所有信号及其关系，以符合 JEDEC 标准和控制器规范。DDRx 流程包括可选的带有电源信息的分析功能。该功能可分析驱动器 SSO / SSN 和非理想信号返回路径对系统设计余量的影响。

SerDes Compliance Wizard 在广泛的主流标准协议中提供了通用的分析流程，可根据所选协议自动调整执行的分析类型和报告的指标。SerDes Compliance Wizard 支持频域掩膜、时域掩膜、通道裕量 (COM) 和基于 JCOM 的分析。

布线前设计规划

布线前 SI 可及早发现信号完整性问题，以驱动 PCB 布局和布线。通过设计和间距值，评估不同的堆叠、优化信号拓扑和终端。LineSim 图形编辑器可帮助您在第一时间进行正确设置。

- 通过拖放编辑 IC、走线、过孔、电缆、连接器和无源器件，您可以在操作中获取和仿真复杂的设计
- 串扰分析权衡间距与设计余量
- 集成的 2D 和 3D EM 求解器可提供走线、过孔和其他结构元素的高精度模型
- 轻松具现化 IBIS、S-参数、IBIS-AMI、HSPICE、ELDO 和 AMS 元件模型
- 交互式仿真使您可以立即查看设计变更对信号质量、串扰等的影响。
- 扫描参数分析可量化设计变量对电路性能的影响

布线后验证

布线后 SI 用于在制造前对完成的 PCB 进行签审，从而降低了再次设计原型的风险。HyperLynx SI 可以在整个布局流程中（包括零件布局之后、关键的网络布线中以及电路板完成后）分析电路板。这让设计师能够尽快找到并解决 SI 问题。

- 批处理模式仿真可快速扫描检查整个设计中的基本问题
- DDRx 和 SerDes Compliance 向导程序可自动对整个接口进行详细分析，以确定设计余量
- 交互式仿真可通过 “假设” 分析实时检查问题区域
- 自动的布线后拓扑提取，包括带返回路径信息的 3D 建模
- 功能强大、易用的多板分析，包括对 EBD 和连接器模型的支持
- 用户定义的串扰阈值让浏览布局和目视识别耦合问题变得容易
- 能够开启／关闭不同的物理效果：量化不同现象对设计余量的影响
- 全波 3D 场求解器的接口允许提取和分析复杂的布局结构，比如通过过孔耦合区域、扇出和平面间隙的耦合。

DDRX 设计

- DDRx Wizard 可自动执行信号完整性和时序分析；指导设计师逐步分析整个 DDR 接口
- 支持多种 DDR、LPDDR 和 NV-DDR 技术，并相应地适应于数据收集和仿真流程
- 使用扫描参数分析以确定最佳设置，优化片上终端电阻 (ODT) 设置
- 根据特定于控制器的写入均衡功能，自动计算设计余量
- JEDEC DRAM 参数和控制器功能建模
- 生成包含或不包含串扰的结果
- 广泛的结果报告提供了设计余量细节、每比特的眼图和测量波形

SerDes Channel Design

- 合规性向导程序包括对超过 35 种不同标准协议的内置支持，包括以太网、OIF-CEI、PCIe、光纤通道、USB 和基于 JESD 的技术
- 通过设计套件支持额外的标准
- 内置的 COM / JCOM 分析引擎的运行速度比标准方法快得多，并且不需要其他第三方软件许可证
- 针对特定于供应商流程的完整 IBIS-AMI 模型支持
- 专用的 3D EM 求解器可创建参数化的过孔和相关缝合过孔的单一模型和差分模型
- 与通用 3D EM 求解器集成，可对任意结构和 PCB截面进行建模

受支持的 PCB 布局系统

- 与 Mentor Graphics Xpedition™、PADSProfessional® 和 PADS® 紧密集成
- Altium Designer（通过 ODB ++）
- Cadence Allegro 和 OrCAD 布局工具
- Zuken CR 系列

HyperLynx 产品系列

HyperLynx SI 是用于高速电子设计的分析工具的集成产品系列的一员：

- 电气设计规范检查 (DRC / ERC)
- 信号完整性分析 (SI)
- 电源完整性分析 (PI)
- 3D 电磁建模 (3D EM)

Mentor®
A Siemens Business